

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-029357

(43)Date of publication of application : 05.02.1993

(51)Int.Cl.

H01L 21/338
H01L 29/812
// H01L 21/318

(21)Application number : 03-178432

(71)Applicant : NIKKO KYODO CO LTD

(22)Date of filing : 18.07.1991

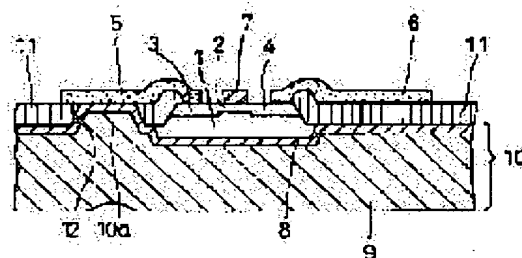
(72)Inventor : YAMAMOTO SEIICHI

(54) FIELD-EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To obtain good heat radiation.

CONSTITUTION: A field effect transistor comprises a source electrode 5 and a drain electrode 6 formed in ohmic contact, and a gate electrode 7 in between on a main face of a substrate 1 made of compound semiconductor. Moreover, the field effect transistor comprises a metallic layer 10 provided on the other main face of the substrate 1, a metallic connecting member 10a passing through the substrate 1 for connecting the source electrode 5 with the metallic layer 10, and an insulator 11 having better heat conductivity than that of the substrate 1 and provided between the drain electrode 6 and the metallic layer 10.



[0014]

[Example] Hereafter, the example of this invention is described based on a drawing.

[0015] Drawing 1 is a figure showing the 1st example of this invention. In the figure, 1 is a semi insulating GaAs substrate, the ion implantation of the n type impurities, such as Si and S (sulfur), is carried out, and the n type active layer 2 whose concentration is a $0.5 - 5 \times 10^{17} \text{cm}^{-3}$ grade is formed in the 1 principal-surface side. The n^+ source region 3 and the n^+ drain area 4 where Si was poured into the concentration more than $2 \times 10^{18} \text{cm}^{-3}$ are formed in both sides of the active layer 2. On the n^+ source region 3 and the n^+ drain area 4, the source electrode 5 and the drain electrode 6 which consist of AuGe/a Ni metal are formed of ohmic junction. The source electrode 5 and the drain electrode 6 are arranged so that the length of the lap from an electrode end may turn into the minimum length in within the limits to which the bond resistance of ohmic junction is kept low enough to the n^+ source region 3 and the n^+ drain area 4, respectively. On the active layer 2, the gate electrode 7 is formed of the Schottky barrier.

[0016] GaAs substrate 1 with low thermal conductivity is made thin to required thickness, and the back plate 10 as a metal layer which consists of Ti / Au layer 8, and the Au metal skin 9 is formed on other principal surfaces. And the insulator 11 which has good thermal conductivity rather than GaAs substrate 1 between the source electrode 5 and the drain electrode 6, and the back plate 10 which have been arranged as mentioned above is formed in the thickness which is about 5000 Å. Aluminum nitride (AlN) is used as the insulator 11. The opening of the viahole 12 is carried out to the lower part of the source electrode 5, and the source electrode 5 is connected to the back plate 10 via the metal connection body 10a in the viahole 12.

[0017] Since the field effect transistor of this example is constituted as mentioned above, generation of heat at the time of operation, Even if it leads the insulator 11 which it is not only diffused at the back plate 10 side, but has the drain electrode 6 and the source electrode 5 to good thermal conductivity through the metal connection body 10a from the source electrode 5, it is diffused at the back plate 10 side. Therefore, the outstanding heat dissipation nature is obtained and a high increase in power becomes more possible than before.

[0018] Next, the 2nd example of this invention is shown in drawing 2 thru/or drawing 4. This example is applied to FET for electric power with a comb type gate.

[0019] In drawing 2 thru/or drawing 4, the same explanation as the member and part in said drawing 1 that showed the equivalent thing by the above and identical codes by being and carrying out, and overlapped is omitted.

[0020] In this example, the insulator 11 which becomes only the lower part of the drain electrode 6 from AlN is embedded. That is, the drain electrode 6 is formed so that ohmic junction may be carried out to the active layer 2 in the portion of necessary width and it may be located on the insulator 11.

[0021] Since FET for electric power of this example is constituted as mentioned above, it radiates heat to the metal layer 10 side of substrate 1 rear face through the insulator 11 with which generation of heat which becomes large consists of AlN which has good thermal conductivity rather than the substrate 1 from the drain electrode 6 between drain electrode 6 and the gate electrode 7. Therefore, the heat dissipation nature the effective heat leakage by the side of the above-mentioned drain electrode 6 added and excelled [nature] in the heat leakage which lets the metal connection body 10a pass is obtained from the source electrode 5.

[0022] Subsequently, an example of the manufacturing method of FET concerning this example is explained using drawing 4.

[0023] In the following explanation, each item sign of (a) - (d) corresponds to each of (a) - (d) of drawing 4.

[0024] (a) Form the n type active layer 2 of about 0.2-micrometer thickness with ion implantation on GaAs substrate 1 semi insulating [about 400 micrometers thick]. By reactive ion etching using Cl_2 gas, the crevice 13 with a depth of about 10 micrometers which pierces through the active layer 2 is formed. By sputtering process, AlN as the insulator 11 is embedded in the crevice 13. AlN of portions other than crevice 13 is removed by the lift-off method etc.

[0025](b) Form the drain electrode 6 which consists of AuGe/a Ni metal so that the portion of necessary width may carry out ohmic junction to the active layer 2 and it may be located on the insulator 11. On the active layer 2 which estranged only the required interval from the drain electrode 6, the source electrode 5 which similarly consists of AuGe/a Ni metal is formed by ohmic junction. Between the source electrode 5 and the drain electrode 6, the gate electrode 7 which consists of aluminum/Ti metal which carries out the Schottky barrier to the active layer 2 is formed.

[0026](c) The upper surface side of the substrate 1 in which each electrode was formed shall be equipped or adhered to a fixture, a substrate rear shall be deleted by polish etc., and the thickness shall be about 10 micrometers. At this time, the insulator 11 can detect terminal points, such as polish, by exposing to a rear face, and it becomes possible to make substrate 1 thickness uniform.

[0027](d) Form the resist mask which has an opening for a substrate rear only in a viahole formation part, by reactive ion etching using Cl_2 gas, etch the substrate 1 and drill the viahole 12 under the source electrode 5. After vapor-depositing Ti / Au layer 8 at the substrate 1 rear face containing the viahole 12, while forming Au layer 9 by electroplating and forming the metal connection body 10a in the viahole 12, the back plate 10 as a metal layer about 50 micrometers thick is formed in substrate 1 rear face.

[0028]Since the thickness of the substrate 1 is limited in the embedding depth of the insulator 11 according to the above-mentioned manufacturing method, substrate 1 thickness can be made uniform and the viahole 12 can be formed uniformly. Therefore, it becomes possible to manufacture FET for electric power which has uniform heat dissipation nature.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-29357

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/338

29/812

// H 0 1 L 21/318

A 8518-4M

7739-4M

H 0 1 L 29/ 80

U

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号

特願平3-178432

(22)出願日

平成3年(1991)7月18日

(71)出願人 000231109

日本鉱業株式会社

東京都港区虎ノ門二丁目10番1号

(72)発明者 山本 誠一

埼玉県戸田市新曽南三丁目17番35号 日本

鉱業株式会社内

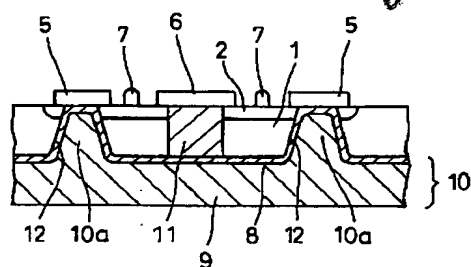
(74)代理人 弁理士 三好 秀和 (外4名)

(54)【発明の名称】 電界効果トランジスタ

(57)【要約】

【目的】 本発明は、優れた放熱性を得ることを目的とする。

【構成】 化合物半導体からなる基板1の一主面上にオーミック接合するソース電極5及びドレイン電極6と、ソース電極5・ドレイン電極6間に形成されたゲート電極7と、基板1の他の主面上に形成された金属層10と、基板1を貫通してソース電極5と金属層10とを接続する金属接続体10aと、ドレイン電極6と金属層10との間の基板1中に設けられ基板1よりも良熱伝導性を有する絶縁体11とを有することを特徴とする。



【特許請求の範囲】

【請求項 1】 化合物半導体からなる基板と、該基板の一主面上にオーミック接合するソース電極及びドレイン電極と、該ソース電極とドレイン電極との間に形成されたゲート電極と、前記基板の他の主面上に形成された金属層と、前記基板を貫通して前記ソース電極と前記金属層とを接続する金属接続体と、前記ドレイン電極と前記金属層の間の前記基板中に設けられ該基板よりも良熱伝導性を有する絶縁体とを有することを特徴とする電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばマイクロ波帯で使用される GaAs 等の化合物半導体を用いた電力用等の電界効果トランジスタ（以下、FETともいう）に関する。

【0002】

【従来の技術】 電力用の FET、特に熱伝導率が Si 半導体等よりも悪い GaAs 等の化合物半導体を用いたものでは、放熱性を高め、またマイクロ波での寄生コンダクタンス等の低減のために、ソース電極をバイアホールに充填した金属接続体を介して基板裏面の金属層に接続することが行われている。

【0003】 図 5 は、このようなバイアホール構造を有する従来の FET を示している。半絶縁性の GaAs 基板 21 上に n 型の活性層 22 が形成されている。活性層 22 上には、活性層 22 にオーミック接合するソース電極 23 及びドレイン電極 24 とショットキー接合するゲート電極 25 が形成されている。熱伝導率の低い GaAs 基板 21 は、50 μm 程度まで薄くされている。さらにソース電極 23 の下方部には、半絶縁性基板 21 及び活性層 22 を貫通するバイアホール 26 が穿設され、ソース電極 23 がバイアホール 26 に充填された金属接続体 29a を介して基板裏面に設けられた Ti/Au 層 27 と Au メッキ層 28 からなる背面電極（金属層）29 に接続されている。この構造では、厚い Au メッキ層 28（35～50 μm 程度の厚さ）がヒートシンクとして働く。

【0004】

【発明が解決しようとする課題】 GaAs を用いた従来の FET は、高出力化等のために、熱抵抗を下げる目的で GaAs 基板が薄くされている。しかし、GaAs 基板は、動作に必要な活性層を所要厚さに確保し、また製造歩留りの低下を招くことから、その厚さを薄くすることには限界がある。このため、チップの殆ど部分が熱伝導率の低い GaAs 基板により構成されているので背面電極への主たる熱の伝導経路がバイアホール部の金属接続体に限られてしまい、十分な熱放散が得られないという問題があった。

【0005】 そこで、本発明は、放熱性の優れた電界効

果トランジスタを提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明者は、電界効果トランジスタの効果的な放熱を検討したところ、発熱はドレイン電極・ゲート電極間が大で、その発熱は、基板の深さ方向とドレイン電極へ伝熱することが判明した。本発明は、このような検討結果、完成するに至った。

【0007】 本発明の電界効果トランジスタは、化合物半導体からなる基板と、該基板の一主面上にオーミック接合するソース電極及びドレイン電極と、該ソース電極とドレイン電極との間に形成されたゲート電極と、前記基板の他の主面上に形成された金属層と、前記基板を貫通して前記ソース電極と前記金属層とを接続する金属接続体と、前記ドレイン電極と前記金属層の間の前記基板中に設けられ該基板よりも良熱伝導性を有する絶縁体とを有することを要旨とする。

【0008】 化合物半導体としては GaAs が用いられ、ゲート電極は基板とショットキー接合される。

【0009】 金属層及び金属接続体は、熱伝導性のよい Au を主成分とすることが望ましい。

【0010】 基板よりも良熱伝導性を有する絶縁体としては窒化アルミニウム (AlN) 等が用いられる。

【0011】 また、その製造方法としては次のような工程とすることが望しい。

【0012】 (a) 基板の一主面上に凹部を形成し、その凹部に絶縁体を充填する。(b) 絶縁体上に一部がかかるようにして基板にオーミック接合するドレイン電極を形成する。ドレイン電極と離間して基板にオーミック接合するソース電極を形成する。ソース電極・ドレイン電極間にゲート電極を形成する。(c) 基板の他の主面を削って所要厚さとする。(d) 基板のソース電極下に、他の主面側からバイアホールを穿設する。バイアホールに金属接続体を充填するとともに基板の他の主面上に金属層を形成する。

【0013】

【作用】 ドレイン電極・ゲート電極間で大になる発熱がドレイン電極から基板よりも良熱伝導性を有する絶縁体を通して基板裏面の金属層側に放熱される。したがってソース電極から金属接続体を通しての熱放散にドレイン電極側の効果的な熱放散が加わって優れた放熱性が得られる。

【0014】

【実施例】 以下、本発明の実施例を図面に基づいて説明する。

【0015】 図 1 は、本発明の第 1 実施例を示す図である。同図において、1 は半絶縁性の GaAs 基板であり、その一主面側には、Si、S（硫黄）等の n 型不純物がイオン注入されて濃度が $0.5 \sim 5 \times 10^{17} \text{cm}^{-3}$ 程度の n 型の活性層 2 が形成されている。活性層 2 の左右両側には、Si が $2 \times 10^{18} \text{cm}^{-3}$ 以上の濃度に注入され

た n^+ ソース領域3及び n^+ ドレイン領域4が形成されている。 n^+ ソース領域3及び n^+ ドレイン領域4上には、 $AuGe/Ni$ 金属からなるソース電極5及びドレイン電極6がオーミック接合により形成されている。ソース電極5及びドレイン電極6は、 n^+ ソース領域3及び n^+ ドレイン領域4に対し、それぞれ電極端からの重なり長さ、オーミック接合の接合抵抗が十分低く保たれる範囲内で最小限の長さとなるように配置されている。また、活性層2上には、ゲート電極7がショットキー接合により形成されている。

【0016】熱伝導率の低いGaAs基板1は、所要厚さまで薄くされ、他の主面上には、 Ti/Au 層8とAuメッキ層9からなる金属層としての背面電極10が形成されている。そして、前述のように配置されたソース電極5及びドレイン電極6と背面電極10との間にGaAs基板1よりも良熱伝導性を有する絶縁体11が5000オングストローム程度の厚さに形成されている。絶縁体11としては窒化アルミニウム(AlN)が用いられている。また、ソース電極5の下方部にはバイアホール12が開口され、ソース電極5はバイアホール12内の金属接続体10aを介して背面電極10に接続されている。

【0017】この実施例の電界効果トランジスタは上述のように構成されているので、動作時の発熱は、ソース電極5から金属接続体10aを通じて背面電極10側に放散されるのみならず、ドレイン電極6並びにソース電極5から、良熱伝導性を有する絶縁体11を通じても背面電極10側に放散される。したがって、優れた放熱性が得られて従来よりも高出力化が可能となる。

【0018】次に、図2ないし図4には、本発明の第2実施例を示す。この実施例はくし型ゲートを持つ電力用FETに適用されている。

【0019】なお、図2ないし図4において前記図1における部材及び部位と同一ないし均等のものは、前記と同一符号を以て示し、重複した説明を省略する。

【0020】この実施例では、ドレイン電極6の下方部のみに、AlNからなる絶縁体11が埋込まれている。即ち、ドレイン電極6は、所要幅の部分で活性層2にオーミック接合し、且つ絶縁体11上に位置するように形成されている。

【0021】この実施例の電力用FETは、上述のように構成されているので、ドレイン電極6・ゲート電極7間で大になる発熱がドレイン電極6から基板1よりも良熱伝導性を有するAlNからなる絶縁体11を通して基板1裏面の金属層10側に放熱される。したがって、ソース電極5から金属接続体10aを通しての熱放散に、上述のドレイン電極6側の効果的な熱放散が加わって優れた放熱性が得られる。

【0022】次いで、図4を用いて、この実施例に係るFETの製造方法の一例を説明する。

【0023】なお、以下の説明において、(a)～(d)の各項目記号は、図4の(a)～(d)のそれぞれに対応する。

【0024】(a)厚さが約400 μm の半絶縁性のGaAs基板1上に、イオン注入法により約0.2 μm 厚さの n 型の活性層2を形成する。 Cl_2 ガスを用いた反応性イオンエッチングにより、活性層2を貫く深さ約10 μm の凹部13を形成する。スパッタリング法により、凹部13に絶縁体11としてのAlNを埋込む。凹部13以外の部分のAlNはリフトオフ法等により除去する。

【0025】(b)所要幅の部分が活性層2にオーミック接合し、且つ絶縁体11上に位置するようにAuGe/Ni金属からなるドレイン電極6を形成する。ドレイン電極6から所要間隔だけ離間した活性層2上に、同じくAuGe/Ni金属からなるソース電極5をオーミック接合により形成する。ソース電極5とドレイン電極6との間に、活性層2にショットキー接合するAl/Ti金属からなるゲート電極7を形成する。

【0026】(c)各電極を形成した基板1の上面側を取付具に装着或いは付着し、基板裏面を研磨等により削り、その厚さを約10 μm とする。このとき、絶縁体11が裏面に露出することで研磨等の終点を検知することができ、基板1厚さを均一にすることが可能となる。

【0027】(d)基板裏面を、バイアホール形成部のみに開口部を有するレジストマスクを形成し、 Cl_2 ガスを用いた反応性イオンエッチングにより、基板1をエッチングしてソース電極5下にバイアホール12を穿設する。バイアホール12を含む基板1裏面にTi/Au層8を蒸着したのち、電気メッキによりAu層9を形成し、バイアホール12内に金属接続体10aを形成するとともに、基板1裏面に厚さが約50 μm の金属層としての背面電極10を形成する。

【0028】上述の製造方法によれば、絶縁体11の埋込み深さで基板1の厚みが限定されるので、基板1厚さを均一にすることができ、またバイアホール12を均一に形成することができる。したがって、均一な放熱性を有する電力用FETを製造することが可能となる。

【0029】

【発明の効果】以上説明したように、本発明によれば、ドレイン電極・ゲート電極で大になる発熱をドレイン電極から基板よりも良熱伝導性を有する絶縁体を通して金属層側に放熱することができるので、ソース電極から金属接続体を通しての金属層側への熱放散に、上記のドレイン電極側からの効果的な熱放散が加わって優れた放熱性を得ることができる。

【図面の簡単な説明】

【図1】本発明に係る電界効果トランジスタの第1実施例を示す縦断面図である。

【図2】本発明の第2実施例を示す平面図である。

5

6

【図3】第2実施例の縦断面図である。

【図4】第2実施例の製造方法の一例を示す工程図である。

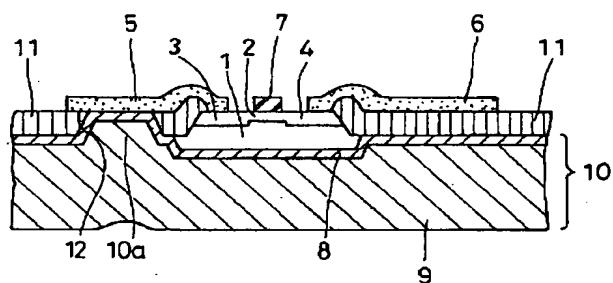
【図5】従来の電界効果トランジスタを示す縦断面図である。

【符号の説明】

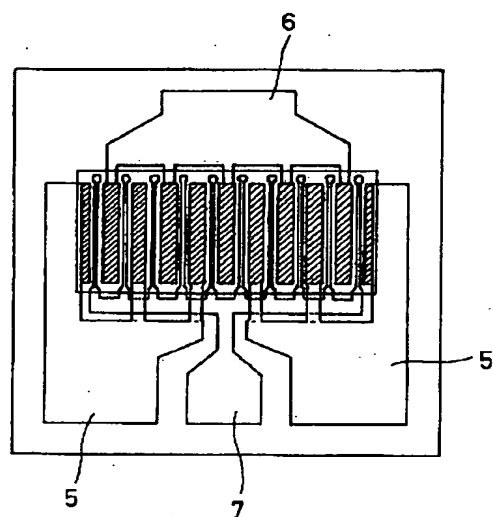
- 1 GaAs基板
2 活性層

- 5 ソース電極
6 ドレイン電極
7 ゲート電極
10 背面電極（金属層）
10a 金属接続体
11 絶縁体
12 バイアホール

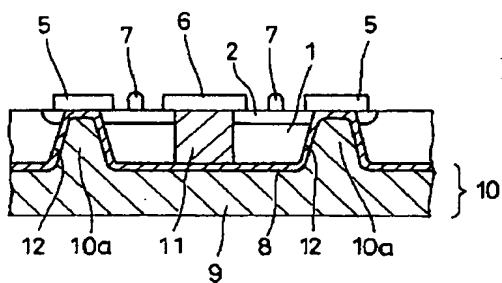
【図1】



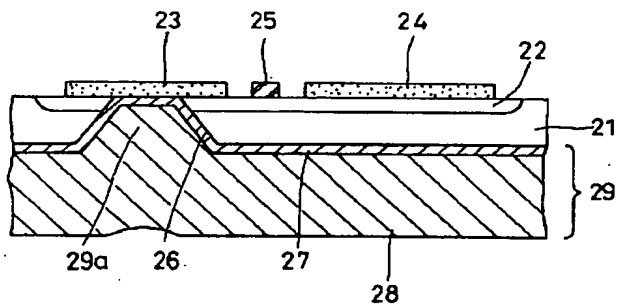
【図2】



【図3】



【図5】



【図4】

